

DERWENT-ACC-NO: 1996-214630

DERWENT-WEEK: 199622

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Semiconductor wafer - has several chips each having  
relay pad groups consisting of line of relay pads  
arranged opposite bonding pads, outside data domain of  
chip

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 1994JP-0206988 (August 31, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08078467 A	March 22, 1996	N/A	010	H01L
021/60				

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 08078467A	N/A	1994JP-0206988	August 31, 1994

INT-CL (IPC): H01L021/301, H01L021/60 , H01L021/822 , H01L027/04

ABSTRACTED-PUB-NO: JP 08078467A

BASIC-ABSTRACT:

The wafer has several chips (33) bounded by division lines (32,33). Each chip has a data domain (35) where wire bonding pads (36) for external connection are formed. Several relay pad groups (38) each with a line of relay pads (39), are arranged opposite the bonding pads outside the data domain.

ADVANTAGE - Raises degree of freedom in cutting dimension.

CHOSEN-DRAWING: Dwg.1/15

TITLE-TERMS: SEMICONDUCTOR WAFER CHIP RELAY PAD GROUP CONSIST  
LINE RELAY PAD

ARRANGE OPPOSED BOND PAD DATA DOMAIN CHIP

DERWENT-CLASS: U11 U12

EPI-CODES: U11-D03C1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1996-180055

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-78467

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/60

3 0 1 N

21/301

27/04

H 0 1 L 21/ 78

L

27/ 04

E

審査請求 未請求 請求項の数19 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平6-206988

(22)出願日 平成6年(1994)8月31日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 瀧田 雅人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 小川 淳二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

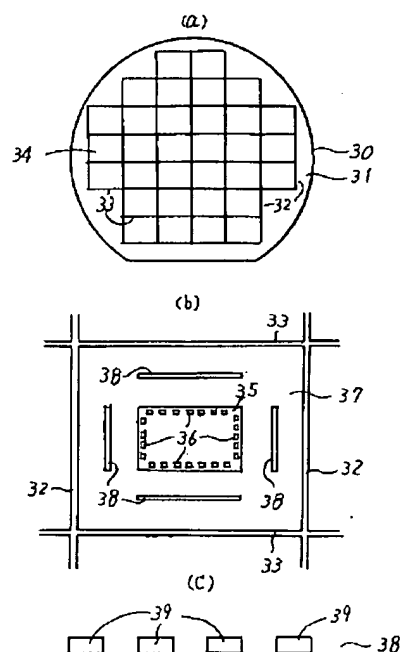
(54)【発明の名称】 半導体ウェーハとその切断方法と半導体装置

(57)【要約】

【目的】 半導体ウェーハとその切断方法と半導体装置に関し、チップ切断寸法の自由度を高め、SCPに組み込んだ半導体装置の信頼性を改善する。

【構成】 区画線32, 33により区分された多数のチップ領域34には、所要回路および該回路の外部接続用ワイヤボンディングパッド36が形成されたデータ領域35を中心部に設け、ワイヤボンディングパッド36に対向し外部接続用中継パッド39が整列する中継パッド群38がデータ領域35の外側に形成されたウェーハ30。データ領域35と中継パッド群38を横切ることなくウェーハ30を切断すること、並びにその切断によって切り出されたチップをパッケージに封入した半導体装置。

本発明の第1の実施例のウェーハの説明図



## 【特許請求の範囲】

【請求項1】 区画線により区分された多数のチップ領域には、所要回路および該回路の外部接続用ワイヤボンディングパッドが形成されたデータ領域を中心部に設け、該ワイヤボンディングパッドに対向し外部接続用中継パッドが整列する中継パッド群が該データ領域の外側に形成されてなること、

を特徴とする半導体ウェーハ。

【請求項2】 請求項1記載の半導体ウェーハにおいて、前記中継パッドがワイヤのダブルボンディング可能な大きさであること、

を特徴とする半導体ウェーハ。

【請求項3】 請求項1記載の半導体ウェーハにおいて、前記データ領域の四方の前記中継パッド群形成領域の表面が、絶縁性カパー膜または酸化膜または該カパー膜と酸化膜の積層で覆われてなること、

を特徴とする半導体ウェーハ。

【請求項4】 請求項1記載の半導体ウェーハにおいて、前記データ領域の四方にはそれぞれ複数の前記中継パッド群が該データ領域から離れる方向に並列に形成されてなること、

を特徴とする半導体ウェーハ。

【請求項5】 請求項1記載の半導体ウェーハにおいて、前記データ領域の上下方向および左右方向に形成した前記中継パッド群が、該データ領域に対し対称位置に設けられたこと、

を特徴とする半導体ウェーハ。

【請求項6】 請求項1記載の半導体ウェーハにおいて、前記データ領域の上下方向および左右方向に形成した前記中継パッド群が、該データ領域に対し非対称位置に設けられたこと、

を特徴とする半導体ウェーハ。

【請求項7】 請求項1記載の半導体ウェーハにおいて、前記データ領域および前記中継パッド群が重複しない位置にウェーハ切断用ガイドラインが形成されてなること、

を特徴とする半導体ウェーハ。

【請求項8】 請求項7記載の半導体ウェーハにおいて、前記ガイドラインが前記ウェーハに被着した保護層のエッチングにより形成されてなること、

を特徴とする半導体ウェーハ。

【請求項9】 請求項7記載の半導体ウェーハにおいて、前記ガイドラインが前記ウェーハに被着した保護層の取り残しによって形成されてなること、

を特徴とする半導体ウェーハ。

【請求項10】 前記データ領域の外縁に沿って請求項1記載の半導体ウェーハを切断すること、

を特徴とする半導体ウェーハの切断方法。

【請求項11】 前記データ領域と前記中継パッド群とを含むように請求項1記載の半導体ウェーハを切断する

こと、

を特徴とする半導体ウェーハの切断方法。

【請求項12】 前記ガイドラインに沿って請求項7記載の半導体ウェーハを切断すること、

を特徴とする半導体ウェーハの切断方法。

【請求項13】 前記データ領域の大きさが異なる一対の請求項1記載の半導体ウェーハに対し、データ領域の大きい一方のウェーハを請求項10の方法で切断した第1の半導体チップの寸法に合わせて、データ領域の小さい他方のウェーハを請求項11または12の方法で切断すること、

を特徴とする半導体ウェーハの切断方法。

【請求項14】 前記データ領域の大きさが異なる一対の請求項1記載の半導体ウェーハに対し、データ領域の大きい一方のウェーハを請求項11の方法で切断した第1の半導体チップの寸法に合わせて、データ領域の小さい他方のウェーハを請求項12の方法で切断すること、

を特徴とする半導体ウェーハの切断方法。

【請求項15】 前記データ領域の大きさが異なる一対の請求項1記載の半導体ウェーハに対し、切断寸法が揃うように該一対の半導体ウェーハを請求項11の方法で切断すること、

を特徴とする半導体ウェーハの切断方法。

【請求項16】 前記データ領域の大きさが異なる一対の請求項1記載の半導体ウェーハに対し、切断寸法が揃うように該一対の半導体ウェーハを請求項12の方法で切断すること、

を特徴とする半導体ウェーハの切断方法。

【請求項17】 前記データ領域の大きさが異なる一対の請求項1記載の半導体ウェーハに対し、切断寸法が揃うように該半導体ウェーハの一方を請求項11の方法で切断し他方を請求項12の方法で切断すること、

を特徴とする半導体ウェーハの切断方法。

【請求項18】 請求項11または12記載の方法で半導体ウェーハを切断し形成した半導体チップの前記ワイヤボンディングパッドと前記中継用パッドおよび該中継用パッドとリード端子とをワイヤで接続し、該半導体チップおよび該ワイヤによる接続部を、パッケージに封入したこと、

を特徴とする半導体装置。

【請求項19】 請求項13または14または15または16または17記載の方法で半導体ウェーハを切断した一対の半導体チップを重ねてパッケージに封入したこと、

を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、分割寸法可変に半導体チップを形成した半導体ウェーハと、そのウェーハの分割方法と、その分割で得られた導体チップを使用する半

導体装置に関する。

【0002】近年、短期間に短手番で多機能半導体装置や大容量半導体装置を製造するため、一つのパッケージに複数の半導体チップを実装した半導体装置、例えばSCP (stacked chip package) が使用されるようになった。

【0003】

【従来の技術】図13は、SCPに組み込んだ半導体装置の構成例を示す断面図である。図13において半導体装置1は、一対の半導体チップ2と3を背中合わせまたは向かい合わせに配設し、半導体チップ2および3に設けた所定のパッド(図示せず)と、半導体チップ2、3の側方に配設したリード端子4とは、ボンディング・ワイヤ5-1、5-2で接続し、半導体チップ2と3およびワイヤ5-1、5-2(半導体チップ2、3とリード端子4との接続部)は、パッケージ(樹脂モールド)6に封入する。

【0004】このような半導体装置1等において、付加機能の拡大等で機能の異なる複数個のチップを封入する場合、チップサイズが異なる例えば半導体チップ2に対し半導体チップ3が小さいと、チップ3に接続したボンディング・ワイヤ5-2は、チップ2に接続したボンディング・ワイヤ5-1より長くなり、不要なインピーダンスが発生するだけでなく、場合によってはチップ3のワイヤ5-2がチップ2に接触したり、隣接するワイヤ5-2間で接触する恐れがあった。

【0005】そこで、前記問題点を解決するには、同一パッケージに収容する複数個のチップサイズを揃える技術が必要となる。図14は、同一パッケージに収容する複数個のチップサイズを揃えるため、分割寸法可変とした半導体チップの従来例の模式説明図である。

【0006】図14(a)において、特開平1-114049号公報に開示されたチップ11は、所望の回路が形成されている矩形のメイン領域(回路セル)12と、メイン領域12の縁部に形成された複数個の第1のパッド13と、メイン領域12に隣接する複数個(4個)の配線領域14と、配線領域14とメイン領域12とを仕切るスクライプ線15と、配線領域14内に設けられ第1のパッド13と対向して配置された複数個の第2のパッド16と、配線領域14内の外側縁部に配置され第2のパッド16と配線17により接続された複数個の第3のパッド18とを有し、図14(b)に示す如くスクライプ線15によりメイン領域12と配線領域14とを分離して使用するか、または、図14(c)に示す如く対向する所定の第1のパッド13と第2のパッド16とを接続して使用する。

【0007】図14(b)において、チップ11をそのまま使用した半導体装置は、所定のパッド13とパッド16とをワイヤ21で接続し、所定のパッド18とリード端子22とをワイヤ5で接続し、チップ11とワイヤ5(パッド18とリード端子22との接続部)をパッケージに封入する。

【0008】図14(c)において、メイン領域12だけを使

用する半導体装置は、チップ11をスクライプ線15に沿って分割(スクライプ)し、その分割によって得られたチップ11-1の所定のパッド13を、ワイヤ5で所定のリード端子22に接続し、チップ11-1とワイヤ5(パッド13とリード端子22との接続部)をパッケージに封入する。

【0009】

【発明が解決しようとする課題】以上説明したように、従来の半導体チップ11は、図14(b)に示す如くチップ11をそのまま使用するかまたは、図14(c)に示す如くメイン領域12の外縁部でスクライプしたチップ11-1を使用することになる。

【0010】従って、図14(a)に破線24に示す如くチップ11と11-1の中間寸法のチップが欲しいときは、破線24に沿ってチップ11を分割する、即ち配線17を途中で切断するようになる。

【0011】しかし、破線24に沿ってチップ11を分割したチップは、アルミニウム等にてなる配線17がチップ基体(シリコン基体)と全く同じに分割され難いため、図15に示す如く、引き延ばされた配線17の切断端17-1が垂れ下がりチップ基体にショートしたり、配線17の切り粉17-2がチップ基体に被着することがあった。

【0012】そのため、従来のチップ11はそのまま分割しないまたはスクライプ線15で分割するか、の何れかの方法で使用する事になり、図14(a)に破線24に示す如き寸法のチップが必要なときは、チップ11をそのまま使用することになった。即ち、チップ11はサイズがデジタル的にしか変化されず、設計当初予測できなかった大きさのチップを得ることができなかった。

【0013】

【課題を解決するための手段】本発明の半導体ウェーハは、区画線により区分された多数のチップ領域には、所要回路および該回路の外部接続用ワイヤボンディングパッドが形成されたデータ領域を中心部に設け、該ワイヤボンディングパッドに対向し外部接続用中継パッドが整列する中継パッド群が該データ領域の外側に形成される。

【0014】さらに、①前記中継パッドがワイヤのダブルボンディング可能な大きさであること、②前記データ領域の四方の前記中継パッド群形成領域の表面は、半導体基板が表呈するまたは絶縁性カバ膜または酸化膜または該カバ膜と酸化膜の積層でおおわれてなること、③前記データ領域の四方にはそれぞれ複数の前記中継パッド群が形成されてなること、④前記データ領域の上下方向および左右方向に形成した前記中継パッド群が、該データ領域に対し対称位置または非対称位置に設けられたこと、⑤前記データ領域と前記中継パッド群とに重複しない位置にウェーハ切断用ガイドラインが形成してなること、⑥前記ガイドラインが前記ウェーハに被着した保護層の一部をエッチングしてなること、⑦前記ガイドラインが前記ウェーハに被着した保護層の取り残しによ

って形成されてなること、である。

【0015】本発明のウェーハ切断方法は、①前記データ領域に沿って切断すること、②前記データ領域と前記中継パッド群とを含むように切断すること、③前記ガイドラインに沿って切断すること、④前記切断方法の組合せでデータ領域の大きさが異なる一対の半導体チップを同一寸法に切断すること、である。

【0016】本発明の半導体装置は、前記方法で切断した半導体チップ、さらにデータ領域の大きさが異なるが同一寸法に切断した一対の半導体チップを、一つのバ

【0017】

【作用】上記手段の半導体ウェーハは、チップ領域の中心部にデータ領域を設け、データ領域の周囲に中継用パッドを配設した構成であり、半導体チップへの切断は、必要に応じて中継用パッドを含むように、時には隣接するチップ領域内の中継用パッドを含むように設定することが可能となる。

【0018】従って、半導体ウェーハを切断する半導体チップの寸法は、中継用パッドを横切って切断しないことが必要になるが、必要に応じて広範囲に設定可能になる。最小がデータ領域の外縁に沿った切断であり、従って、前記半導体ウェーハを切断して得られる半導体チップの最小寸法は、データ領域の寸法であり、チップ領域を越えない最大寸法はチップ領域の区画線に囲まれた寸法となる。そして、その最小寸法と最大寸法との間では、中継用パッドを横切ないことが必要になるが、図14を用いて説明した従来の半導体チップより大幅に自由度が増すことになる。

【0019】そのため、本発明になるウェーハから本発明方法で切断した半導体チップ、特にデータ領域の大きさが異なる一対の半導体チップを封入した半導体装置は、一対の半導体チップを同一寸法にすることが可能であり、従来技術においてボンディングワイヤによる前記障害をなくすることができる。

【0020】

【実施例】図1は本発明の第1の実施例のウェーハの説明図、図2は図1のパッド群形成領域の断面図である。

【0021】図1(a)において、ウェーハ30は半導体基板(シリコン基板)31の縦方向および横方向に複数の区画線32, 33を設け、区画線32, 33は、ウェーハ31を多数のチップ領域34に区分する。

【0022】チップ領域34は拡大して図1(b)に示す如く、中央部に角形のデータ領域35、即ち所望の回路と該回路を外部接続するための複数のパッド36が形成されたデータ領域35を設け、データ領域35の周囲のロ字形領域(パッド群形成領域)37には、データ領域35の四辺に対向する中継用パッド群38を設ける。

【0023】パッド群38は拡大して図1(c)に示す如く、ワイヤのダブルボンディング可能な、例えば 150μ

300μmの複数のパッド39が、データ領域35内のパッド36に対向し形成される。

【0024】図1のパッド群38形成領域37は図2(a)～(d)に示す如く、半導体基板31の表面が露呈するまたは、基板31の表面を保護するため薄い酸化膜40を形成するまたは、基板31の表面に防湿用カバ膜41を形成するまたは、基板31の表面に酸化膜40とカバ膜41を積層した状態である。

【0025】このようなパッド群形成領域37において、一般に酸化シリコン(SiO<sub>2</sub>)にてなる酸化膜40、燐珪酸ガラス(PSG)にてなるカバ膜41、酸化膜40とカバ膜41の積層膜は非粘性であり、チップ領域34の切断に際し基板31と同様な被切断性である。従って、チップ領域34において領域37内での切断は、パッド群38を避けるだけで、自由に位置設定できる。

【0026】さらに、酸化膜40またはカバ膜41または酸化膜40とカバ膜41の積層膜は電気的絶縁性を有する。そのため、ボンディングワイヤ43, 45(図3参照)がそれらに接触しても、基板31と電気的に接続する恐れがない。

【0027】図3は図1のウェーハから得たチップを収納した半導体装置の断面図であり、図3(a)はパッド群38を含まないようにウェーハ30を切断したチップ50を収容した半導体装置、図3(b)はパッド群38を含むようにウェーハ30を切断したチップ51を収容した半導体装置である。

【0028】図3(a)において、パッド群38を含まないように、即ちデータ領域35の輪郭に沿ってまたはデータ領域35とパッド群38との間でウェーハ30を切断したチップ50を収納した半導体装置42は、データ領域35内のパッド36とリード端子22とをワイヤ43で接続し、チップ50とワイヤ43(チップ50およびチップ50とリード端子22との接続部)を樹脂パッケージ6に封入する。

【0029】図3(b)において、データ領域35の四方にパッド群38を含むように、即ちパッド群38と分割ガイドライン32, 33との間でウェーハ30を切断したチップ51を収容した半導体装置44は、データ領域内パッド36と中継パッド39とをワイヤ45で接続し、中継パッド39とリード端子22とをワイヤ43で接続し、チップ51とワイヤ45および43(チップ51およびチップ51と端子22との接続部)を樹脂パッケージ6に封入する。

【0030】図4は図1のウェーハを切断する代表例の説明図、図5はワイヤ接続方法の説明図である。図4(a)において、半導体装置製造のためウェーハ30を切断し半導体チップを切り出す方法には、

- ①区画線32, 33に沿って切り出す、
- ②データ領域35の輪郭を含む線に沿って切り出す、
- ③チップ領域34の外側かつ隣接する四方のチップ領域34のパッド群38を含まないように、例えば図中の破線を含む線に沿って切り出す、

7

④チップ領域34の外側かつ隣接する四方のチップ領域34の隣接側パッド群38を含むように、例えば図中の一点鎖線を含む線に沿って切り出す、

⑤所要のチップ領域34を囲む8個のチップ領域34のデータ領域35とその外側のパッド群38を含むように、例えば図中の二点鎖線を含む線に沿って切り出す、

⑥データ領域35の三方のパッド群38を含むように、例えば図中の三点鎖線を含む線に沿って切り出す、等がある。

【0031】前記②の方法または③の方法で切り出したチップ34<sub>2</sub>は、図4(b)に示す如く、データ領域内パッドとチップ内中継パッドとをワイヤ45で接続し、該中継パッドとリード端子22とをワイヤ43で接続するようになる。

【0032】前記④の方法で切り出したチップ34<sub>3</sub>は、図4(c)に示す如く、データ領域内パッドとデータ領域内側の中継パッドとをワイヤ45で接続し、チップ内の内側と外側の中継パッド間をワイヤ46で接続し、チップ内の外側の中継パッド39とリード端子22とをワイヤ43で接続するようになる。

【0033】そして、接続用ワイヤ43, 45, 46は、図5(a), (c)の平面図に示す如くそれぞれが独立したワイヤであるまたは、図5(b)の平面図に示す如く、一端がデータ領域内パッド36に接続し他端がリード端子22に接続する1本のワイヤの中間部を、中継パッド39に接合する。従って、図5(a), (c)の中継パッド39はダブルボンディング可能な大きさが必要であるのに対し、図5(b)の中継パッド39はシングルボンディング可能な大きさでよい。

【0034】図6は本発明の第2の実施例のウェーハにおけるチップ領域の説明図、図7は本発明の第3の実施例のウェーハにおけるチップ領域の説明図、図8は本発明の第4の実施例のウェーハにおけるチップ領域の説明図、図9は本発明の第5の実施例のウェーハにおけるチップ領域の説明図、図10は本発明の第6の実施例のウェーハにおけるチップ領域の説明図である。

【0035】図6において、区画線32, 33に区分されたチップ領域34<sub>1</sub>は、中央に角形のデータ領域35、即ち所望の回路と該回路を外部接続するための複数のパッド36(図1(b)参照)が形成されたデータ領域35を設け、データ領域35の周囲のロ字形領域(パッド群形成領域)37には、データ領域35の四辺に対向しそれぞれ3列の中継用パッド群38を設ける。

【0036】図7において、区画線32, 33に区分されたチップ領域34<sub>2</sub>は、中央に角形のデータ領域35、即ち所望の回路と該回路を外部接続するための複数のパッド36(図1(b)参照)が形成されたデータ領域35を設け、データ領域35の周囲のロ字形領域(パッド群形成領域)37には、データ領域35の四辺に対向する中継用パッド群38、データ領域35とパッド群38との間を横切る切断用ガ

8

イドライン32<sub>1</sub>と33<sub>1</sub>、パッド群38と分割ガイドライン32, 33との間を横切る切断用ガイドライン32<sub>2</sub>と33<sub>2</sub>を形成する。

【0037】図8において、区画線32, 33(図7参照)に区分されたチップ領域34<sub>3</sub>は、中央に角形のデータ領域35、即ち所望の回路と該回路を外部接続するための複数のパッド36(図1(b)参照)が形成されたデータ領域35を設け、データ領域35の周囲のロ字形領域(パッド群形成領域)37には、データ領域35の上下方向の2辺に平行しそれぞれ2本の中継用パッド群38と、データ領域35の左右方向の2辺に平行しそれぞれ3本の中継用パッド群38を設ける。

【0038】図9において、区画線32, 33(図7参照)に区分されたチップ領域34<sub>4</sub>は、中央に角形のデータ領域35、即ち所望の回路と該回路を外部接続するための複数のパッド36(図1(b)参照)が形成されたデータ領域35を設け、データ領域35の周囲のロ字形領域(パッド群形成領域)37には、データ領域35の上下方向の2辺に平行しそれぞれ2本の中継用パッド群38と、データ領域35の左辺に平行する3本の中継用パッド群38と、データ領域35の右辺に平行する4本の中継用パッド群38と、上下方向に3本の切断用ガイドライン51と、左右方向に7本の切断用ガイドライン52を設ける。

【0039】ただし、データ領域35の上方に形成した中継用パッド群38と、データ領域35の下方に形成した中継用パッド群38とは、その位置がデータ領域35に対し非対称であり、かつ、データ領域35の左方向に形成した中継用パッド群38とデータ領域35の右方向に形成した中継用パッド群38とは、その位置がデータ領域35に対し非対称であり、図中に一点鎖線で示すガイドライン51と52は、データ領域35および中継用パッド群38から離し、隣接する一対のパッド群38の間またはデータ領域35とパッド群38との間を仕切るように設ける。

【0040】このように中継用パッド群38を左右方向・上下方向に非対称としたチップ領域34<sub>4</sub>は、中継用パッド群38が左右方向・上下方向に対称なものに比べ切断の自由度が優れる、即ち中継用パッド群38に架かることなく切断できる寸法設定の自由度が増すという特徴がある。

【0041】図10において、区画線32, 33に区分されたチップ領域34<sub>5</sub>は、中央に角形のデータ領域35、即ち所望の回路と該回路を外部接続するための複数のパッド36(図1(b)参照)が形成されたデータ領域35を設け、データ領域35の周囲のロ字形領域(パッド群形成領域)37には、データ領域35の四辺に対向しそれぞれ3列の中継用パッド群38と、データ領域35の四隅に対向するコーナ部分かつ上下方向・左右方向に延在する中継用パッド群38の延長線の交差部に中継用パッド39<sub>1</sub>を形成する。

【0042】領域37の各コーナ部分にそれぞれ複数個(図は合計36個)ずつ形成した中継用パッド39<sub>1</sub>は、ダ

ブルボンディング可能な大きさであり、データ領域内パッド36を外部接続する際の中継地として適宜利用する、例えばパッド36→一番内側のパッド群38のパッド39→そのパッド39に一番近いパッド39-1→他のパッド39-1→さらに他のパッド39-1→リード端子22(図3参照)というように利用する。

【0043】図11は本発明の実施例になる半導体装置の説明図であり、(a)は本発明になる一対の半導体チップをSCPに組み込んだ半導体装置の縦断面図、(b)は重ねた一対の半導体チップの上側のものを示す横断面図、(c)は重ねた一対の半導体チップの下側のものを示す横断面図である。

【0044】以上説明した実施例におけるチップ領域34-1, 34-2, 34-3, 34-4, 34-5は、図4を用いて説明した切り出し方法①～⑤でウェーハから切断できるが、チップ領域34-2と34-4は、ガイドライン32-1, 32-2, 33-1, 33-2または51, 52を切り出し時の目安として利用できて便利である。

【0045】図11において、61は半導体装置、62, 63は重ね合わせた一対の半導体チップ、22はリード端子、43-1はリード端子22と半導体チップ62を接続するワイヤ、43-2はリード端子22と半導体チップ63を接続するワイヤ、6は半導体チップ62, 63およびワイヤ43-1と43-2を封入した樹脂モールドである。

【0046】半導体チップ62は半導体チップ63の外形寸法に合わせてウェーハを切断し形成したものであり、半導体チップ62と63の外形寸法は同一である。ただし、半導体チップ62のデータ領域35(図1参照)は、半導体チップ63のデータ領域35(図1参照)より狭く、そのため、ワイヤ43-1はワイヤ43-2より長くなっている。

【0047】図12はウェーハ切断用ガイドラインの形成例の説明図である。図12(a)において、データ領域35はシリコン酸化層71、各種の所要薄膜72～75を積層し、最上層にはカバー膜76を被着してなり、データ領域35の外縁部には、データ領域35に沿ってウェーハを切断するためのガイド77を形成するための積層部78が、データ領域35のパターン形成工程を利用し形成されている。

【0048】側面がカバー膜76に被覆された中継パッド39の上面には導体層79が露呈し、中継パッド39と積層部78との間の切断可能領域80には、カバー膜76形成のため被着したカバー層の一部を取り残して形成したガイドライン51(52)が形成されている。

【0049】図12(b)において、データ領域35はシリコン酸化層71、各種の所要薄膜72～75を積層し、最上層にはカバー膜76を被着してなり、データ領域35の外縁部には、データ領域35に沿ってウェーハを切断するためのガイド77を形成するための積層部78が、データ領域35のパターン形成工程を利用し形成されている。

【0050】側面がカバー膜76に被覆された中継パッド39の上面には導体層79が露呈し、中継パッド39と積層部

78との間の切断可能領域80には、カバー膜76形成のため被着したカバー層の一部をエッチングし形成したガイドライン51(52)が形成されている。

【0051】

【発明の効果】以上説明したように本発明によれば、半導体ウェーハから所要チップを取り出す切断の自由度が拡大し、従来のものより所望のサイズに近い大きさに切り出すことができる。

【0052】従って、本発明によってパターン形成し切断した一対の半導体チップを、SCPに組み込んだ半導体装置は、パッド間およびパッドとリード端子との接続用ワイヤによる従来の障害を皆無にする。

【図面の簡単な説明】

【図1】 本発明の第1の実施例のウェーハの説明図

【図2】 図1のパッド群形成領域の断面図

【図3】 図1のウェーハから切り出したチップを封入した半導体装置

【図4】 図1のウェーハの切断例の説明図

【図5】 ワイヤ接続方法の説明図

【図6】 本発明の第2の実施例のウェーハにおけるチップ領域の説明図

【図7】 本発明の第3の実施例のウェーハにおけるチップ領域の説明図

【図8】 本発明の第4の実施例のウェーハにおけるチップ領域の説明図

【図9】 本発明の第5の実施例のウェーハにおけるチップ領域の説明図

【図10】 本発明の第6の実施例のウェーハにおけるチップ領域の説明図

【図11】 本発明の実施例になる半導体装置の説明図

【図12】 ウェーハ切断用ガイドラインの形成例の説明図

【図13】 SCPに組み込んだ半導体装置の構成例を示す断面図

【図14】 切り出しサイズ可変とした半導体チップの従来例の模式説明図

【図15】 図14の半導体チップにおける問題点の説明図

【符号の説明】

6 パッケージ(樹脂モールド)

22 リード端子

30 ウェーハ

32, 33 チップ領域を区分する区画線

32-1, 32-2, 33-1, 33-2, 51, 52 チップ領域内切断用ガイドライン

34, 34-1, 34-2, 34-3, 34-4, 34-5 チップ領域

35 データ領域

36 データ領域内のワイヤボンディングパッド

38 中継パッド群

39, 39-1 中継パッド

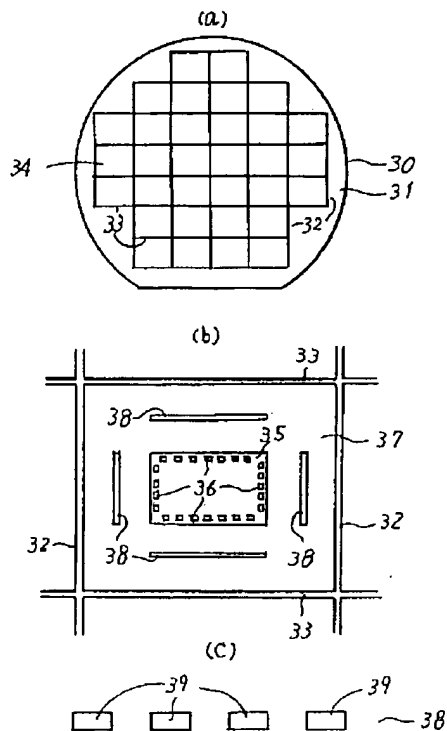


40 酸化膜  
41 カバー膜  
42, 44, 61 半導体装置

11

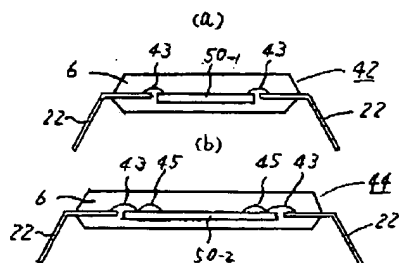
【図 1】

本発明の第 1 の実施例のウェーハの説明図



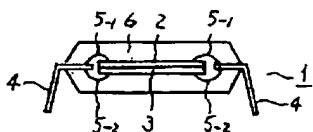
【図 3】

図 1 のウェーハから切り出したチップを封入した半導体装置



【図 13】

SCP に組み込んだ半導体装置の構成例を示す断面図

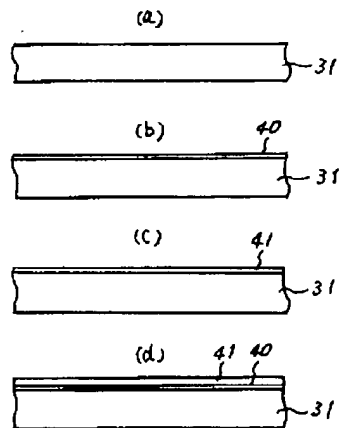


12

43, 45, 46, 43-1, 43-2 ボンディングワイヤ  
50-1, 50-2, 62, 63 半導体チップ

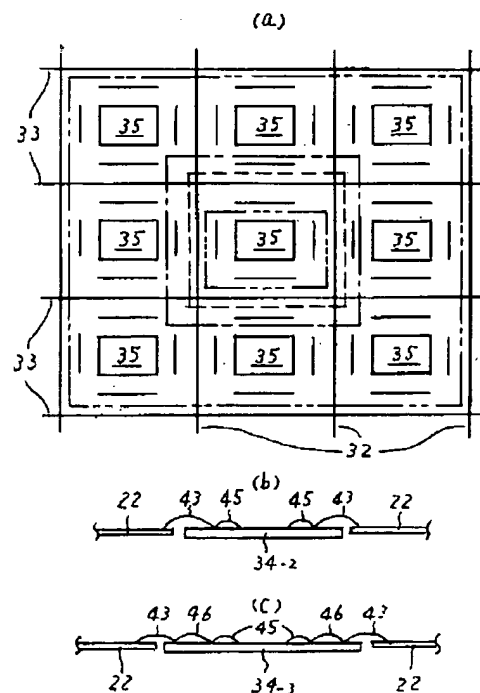
【図 2】

図 1 のパッド群形成領域の断面図



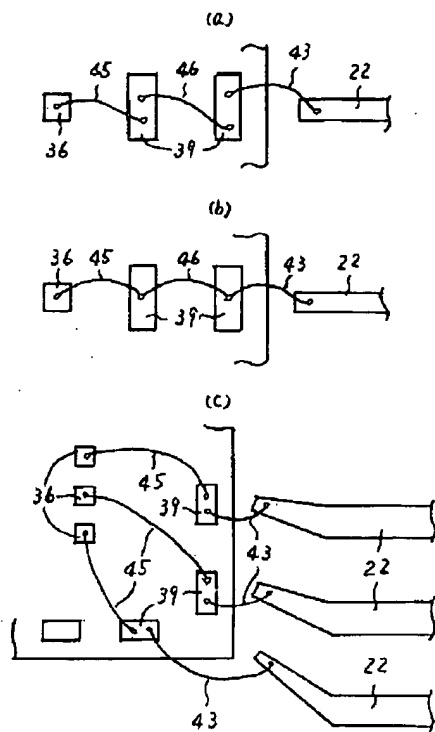
【図 4】

図 1 のウェーハの切断例の説明図



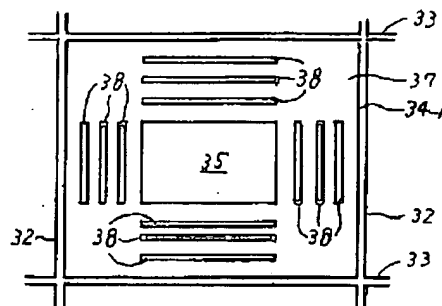
【図5】

ワイヤ接続方法の説明図



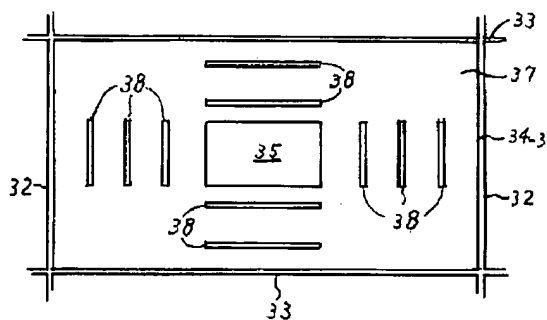
【図6】

本発明の第2の実施例のウェーハにおけるチップ領域の説明図



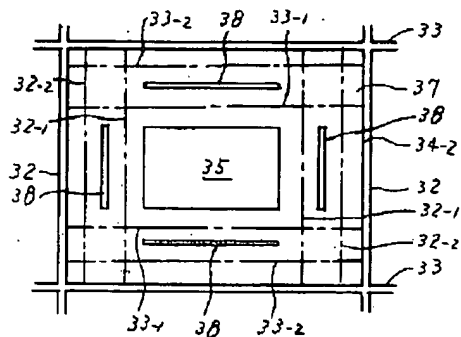
【図8】

本発明の第4の実施例のウェーハにおけるチップ領域の説明図



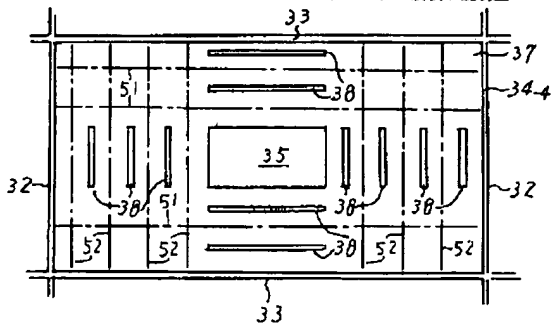
【図7】

本発明の第3の実施例のウェーハにおけるチップ領域の説明図



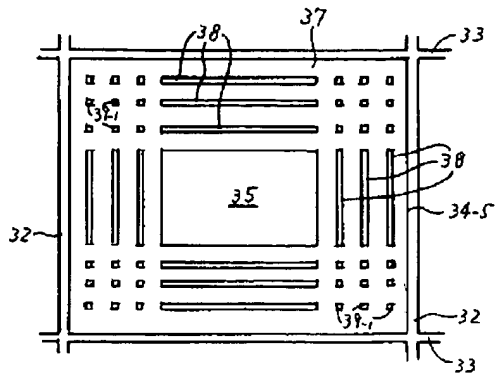
【図9】

本発明の第5の実施例のウェーハにおけるチップ領域の説明図



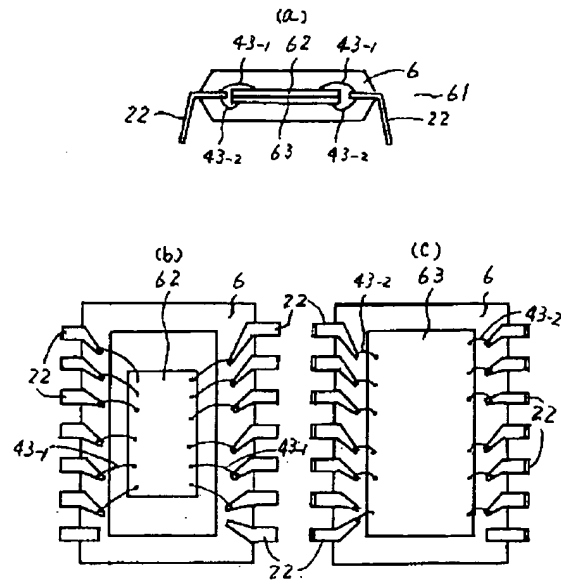
【図 10】

本発明の第 6 の実施例のウェーハにおけるチップ領域の説明図



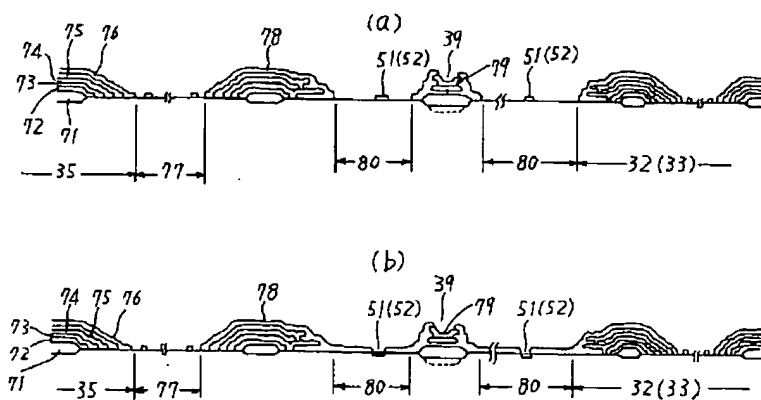
【図 11】

本発明の実施例になる半導体装置の説明図



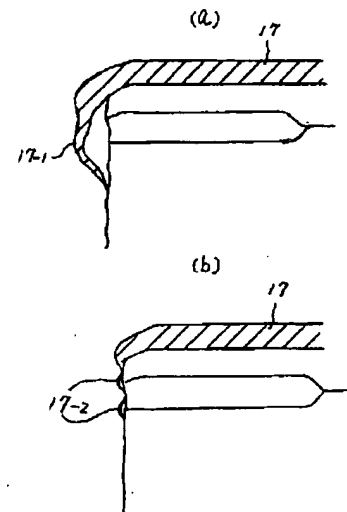
【図 12】

ウェーハ切断用ガイドラインの形成例の説明図



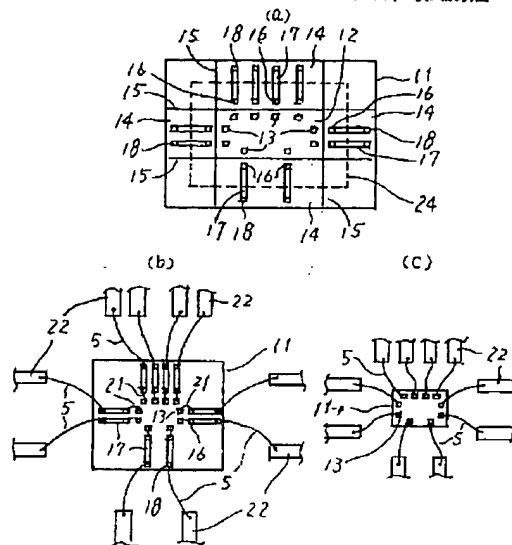
【図 15】

図 14 の半導体チップにおける問題点の説明図



【図14】

切り出しサイズ可変とした半導体チップの従来例の模式説明図



フロントページの続き

(51) Int. Cl. <sup>6</sup>  
H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

A